

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 8日

出 願 番 号

Application Number:

特願2001-032573

出 願 人

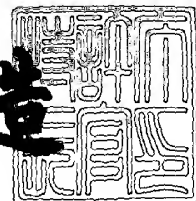
Applicant(s):

松下電器産業株式会社

2001年 7月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3061870

【書類名】 特許願

【整理番号】 2926420067

【提出日】 平成13年 2月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

H01L 27/10

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 小竹 義則

【発明者】

【住所又は居所】 大阪府高槻市幸町 1 番 1 号 松下電子工業株式会社内

【氏名】 橋爪 貴彦

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上に、該半導体基板と接するトンネル絶縁膜と、該トンネル絶縁膜と接する浮遊ゲート電極と、容量絶縁膜を介して前記浮遊ゲート電極と対向する制御ゲート電極とからなるゲート電極を形成する第 1 の工程と、

少なくとも前記浮遊ゲート電極の側面上に該浮遊ゲート電極と接する絶縁膜からなるイオン注入調整膜を形成する第 2 の工程と、

前記ゲート電極及びイオン注入調整膜をマスクとして、前記半導体基板における前記ゲート電極の側方の活性領域に不純物イオンを注入する第 3 の工程と、

前記活性領域に対して熱処理を行なうことにより、注入された不純物イオンを熱拡散する第 4 の工程とを備え、

前記第 2 の工程において、前記イオン注入調整膜を、前記不純物イオンが前記トンネル絶縁膜に注入されることを防止でき、且つ、前記不純物イオンの前記半導体基板への散乱による拡散によって前記不純物イオンが前記活性領域における前記浮遊ゲート電極の端部の下側部分の近傍に到達することができる膜厚に設定することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 2】 前記第 4 の工程は、酸化雰囲気で行なうことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 3】 前記イオン注入調整膜の膜厚は 5 0 n m 以下であることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 4】 前記イオン注入調整膜は酸素透過性を有する材料からなり、前記第 4 の工程は、前記活性領域の上部を酸化し、且つ、前記イオン注入調整膜を透過した酸素により前記浮遊ゲート電極の一部を酸化する工程を含むことを特徴とする請求項 2 又は 3 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 5】 前記第 4 の工程は、8 5 0 ℃以上の温度で行なうことを特徴とする請求項 2 ～ 4 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 6】 前記第 2 の工程は、前記イオン注入調整膜を、前記半導体基板の上に前記ゲート電極を含む全面にわたって堆積する工程と、

堆積したイオン注入調整膜に対して異方性エッチングを行なうことにより、前記活性領域を露出する工程とを含むことを特徴とする請求項 1～5 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 7】 前記第 2 の工程は、前記イオン注入調整膜を、熱酸化法によって前記半導体基板の上に前記ゲート電極を含む全面にわたって形成する工程と

形成したイオン注入調整膜に対して異方性エッチングを行なうことにより、前記活性領域の上面を露出する工程とを含むことを特徴とする請求項 1～5 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 8】 前記第 3 の工程は、前記活性領域における前記ゲート電極の一方の側方に対して行なう第 1 のイオン注入工程と、

前記活性領域における前記ゲート電極の他方の側方に対して行なう第 2 のイオン注入工程とを含むことを特徴とする請求項 1～7 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 9】 前記第 1 のイオン注入工程又は前記第 2 のイオン注入工程は、前記半導体基板の導電型と反対の導電型で且つ少なくとも 2 種類の不純物イオンを注入する工程を含むことを特徴とする請求項 8 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 10】 前記第 1 のイオン注入工程又は前記第 2 のイオン注入工程は、前記半導体基板の導電型と同一の導電型の不純物イオンと、前記半導体基板の導電型と反対の導電型の不純物イオンとを注入する工程を含むことを特徴とする請求項 8 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 11】 前記第 2 の工程は、前記イオン注入調整膜における前記ゲート電極の一方の側方部分をマスクして、他方の側方部分を露出する工程と、

前記イオン注入調整膜における露出した前記他方の側方部分に対して異方性エッチングを行なう工程とを含むことを特徴とする請求項 1～10 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 2】 前記第 2 の工程は、前記異方性エッチングの後に、前記イオン注入調整膜の膜厚をエッチングにより調整する工程を含むことを特徴とする請求項 1 1 に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 3】 前記第 1 の工程は、前記制御ゲート電極の上に保護絶縁膜を形成する工程を含むことを特徴とする請求項 1 ～ 1 2 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 1 4】 前記第 4 の工程の後に、前記ゲート電極の側面上に前記イオン注入調整膜を介して絶縁性サイドウォールスペーサを形成する第 5 の工程と

前記ゲート電極、イオン注入調整膜及び絶縁性サイドウォールスペーサをマスクとして、前記半導体基板の導電型と反対の導電型の不純物イオンを注入する第 6 の工程とをさらに備えていることを特徴とする請求項 1 ～ 1 3 のうちのいずれか 1 項に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置の製造方法に関し、特に、電氣的にデータの消去が可能な大容量の E P R O M 装置、E E P R O M 装置又はフラッシュメモリ装置等の不揮発性半導体記憶装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

従来の不揮発性半導体記憶装置の製造方法は、特開平第 5 - 2 5 1 7 1 2 号公報（以下、第 1 の従来例という。）又は特許第 2 5 1 5 7 1 5 号公報（以下、第 2 の従来例という。）にも示されているように、E P R O M 装置等の製造に用いられている。

【 0 0 0 3 】

以下、従来の不揮発性半導体記憶装置の製造方法について図面を参照しながら説明する。

【 0 0 0 4 】

図 6 (a) ~ (c) 及び図 7 は従来の不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【 0 0 0 5 】

まず、図 6 (a) に示すように、P 型シリコンからなる半導体基板 1 0 1 に P 型ウエル 1 0 1 a を形成し、続いて、素子分離絶縁膜 1 0 2 を選択的に形成する。その後、半導体基板 1 0 1 上の素子形成領域に、トンネル酸化膜 1 0 3、第 1 のポリシリコン膜 1 0 4 A、容量絶縁膜 1 0 5 及び膜厚が約 3 0 0 n m の第 2 のポリシリコン膜 1 0 6 A を順次堆積する。

【 0 0 0 6 】

次に、図 6 (b) に示すように、第 2 のポリシリコン膜 1 0 6 A、容量絶縁膜 1 0 5、第 1 のポリシリコン膜 1 0 4 A 及びトンネル絶縁膜 1 0 3 をパターニングし、第 1 のポリシリコン膜 1 0 4 A から浮遊ゲート電極 1 0 4 B を形成し、第 2 のポリシリコン膜 1 0 6 A から制御ゲート電極 1 0 6 B を形成して、複数のゲート電極 1 0 7 を得る。

【 0 0 0 7 】

次に、図 6 (c) に示すように、熱酸化法により、半導体基板 1 0 1 上に素子分離絶縁膜 1 0 2 及びゲート電極 1 0 7 を含む全面に熱酸化シリコン膜 1 1 0 を形成する。続いて、CVD 法により、熱酸化シリコン膜 1 1 0 上の全面に酸化シリコン膜を堆積し、堆積した酸化シリコン膜に対して異方性エッチングを行なって、ゲート電極 1 0 7 の側面上に酸化シリコンからなる絶縁性サイドウォールスペーサ 1 1 1 を形成する。ここで、第 1 の従来例には、絶縁性サイドウォールスペーサ 1 1 1 の基板面に平行な方向の膜厚が示されていないが、後工程における砒素イオンの注入による浮遊ゲート電極 1 0 4 B への注入イオンの侵入を阻止する目的からすると、その膜厚は少なくとも 6 0 n m 程度は必要と考えられる。また、第 2 の従来例は、絶縁性サイドウォールスペーサの膜厚を 5 0 0 n m としている。

【 0 0 0 8 】

続いて、各絶縁性サイドウォールスペーサ 1 1 1 及び各ゲート電極 1 0 7 をマスクとして、P 型ウエル 1 0 1 a に対して加速エネルギーが 7 0 k e V ~ 9 0 k

eVでドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ 程度の砒素イオンを注入することにより、イオン注入層112Aを形成する。

#### 【0009】

次に、図7に示すように、半導体基板101に熱処理を施して、イオン注入層112Aの砒素イオンをゲート電極107の側面の下方部分、すなわちチャネル領域の端部にまで広げることにより、ソース拡散層112B及びドレイン拡散層112Cを形成する。

#### 【0010】

このように、第1及び第2の従来例によると、熱酸化シリコン膜110におけるゲート電極107の側面上部分及び側方部分は、比較的膜厚が大きい絶縁性サイドウォールスペーサ111により覆われているため、熱酸化シリコン膜110の該側面上部分には砒素イオンがほとんど到達せず、その結果、熱酸化シリコン膜110の該側面上部分の絶縁性の低下が抑制されるので、メモリセルのデータ保持特性を改善することができる。

#### 【0011】

#### 【発明が解決しようとする課題】

しかしながら、前記従来の不揮発性半導体記憶装置の製造方法は、絶縁性サイドウォールスペーサ111の膜厚がゲート電極107と比べて比較的大きい場合には、イオン注入層112Aの端部とチャネル領域との間隔が大きくなるため、注入イオンを拡散するための熱処理を長時間にわたって行なう必要がある。

#### 【0012】

この長時間にわたる熱処理は、不揮発性半導体記憶装置を制御するためのMOS型半導体装置、高速動作を要求されるマイクロコントローラ又はマイクロプロセッサ用のMOS型半導体装置が混載されている場合には、MOS型トランジスタのチャネル不純物等の種々の不純物濃度に悪影響を与える。

#### 【0013】

具体的には、前記のマイクロコントローラ又はマイクロプロセッサを構成するMOS型トランジスタのゲート電極は、デュアルゲートやポリサイドゲートが採用されていることが多い。このため、デュアルゲートやポリサイドゲートに対し



て長時間の熱処理を行なうと、ゲートを構成する $P^+$ 型ポリシリコンからのホウ素(B)イオンの染み出しやシリサイドの剥がれが生じたり、MOS型トランジスタの短チャンネル効果が顕在化したりする。従って、高性能化且つ微細化を要求される近年のCMOS技術においては熱履歴を可能な限り減らす傾向にあり、このままでは、高性能化且つ微細化されたCMOS回路等と不揮発性半導体記憶装置との混載が困難となるという問題がある。

## 【 0 0 1 4 】

また、半導体基板101上においてゲート電極107よりもその段差部分が小さい素子分離絶縁膜102の側面には、絶縁性サイドウォールスペーサ111が十分な膜厚には形成されない。このため、長時間にわたる熱拡散処理により、注入された不純物イオンが素子分離絶縁膜102の両側からその下方にまで拡散してしまい、その結果、素子分離絶縁膜102の絶縁特性が低下して、素子分離絶縁膜102の微細化を図れなくなるという問題をも有している。

## 【 0 0 1 5 】

一方、絶縁性サイドウォールスペーサ111を素子分離絶縁膜102上に十分な膜厚を持たせるように形成しようとする、今度はイオン注入層112Aの面積が小さくなるため、ゲート幅を大きくしなければならず、この場合も素子分離絶縁膜102の縮小化が困難になる。

## 【 0 0 1 6 】

また、不揮発性半導体記憶装置の高集積化を図るために、ゲート電極107同士の間隔を小さくすると、この間隔の2分の1以上の膜厚を持つ絶縁性サイドウォールスペーサ111を設けることができなくなる。

## 【 0 0 1 7 】

なお、従来の製造方法において絶縁性サイドウォールスペーサ111の膜厚を小さくし過ぎると、注入される砒素イオンが熱酸化シリコン膜110におけるゲート電極107の側面上部分及び側方部分に損傷を与えてしまうという不具合が生じる。

## 【 0 0 1 8 】

本発明は、前記従来の問題に鑑み、その目的は、ゲート電極の側方に位置する

ソース拡散層及びドレイン拡散層を形成する際の不純物イオンの注入によるトンネル絶縁膜への損傷をほぼ防止しながら、不純物拡散工程における長時間にわたる熱処理を不要にできるようにすることにある。

【 0 0 1 9 】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、少なくともゲート電極の側壁にイオン注入調整用の絶縁膜を形成する構成とする。このイオン注入調整用の絶縁膜は、不純物イオンのトンネル絶縁膜への注入を防止するように、且つ、不純物イオンの半導体基板への散乱による拡散によって不純物イオンが浮遊ゲート電極の下側部分にまで達するような膜厚とする。

【 0 0 2 0 】

具体的に、本発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板の上に、該半導体基板と接するトンネル絶縁膜と、該トンネル絶縁膜と接する浮遊ゲート電極と、容量絶縁膜を介して浮遊ゲート電極と対向する制御ゲート電極とからなるゲート電極を形成する第1の工程と、少なくとも浮遊ゲート電極の側面上に該浮遊ゲート電極と接する絶縁膜からなるイオン注入調整膜を形成する第2の工程と、ゲート電極及びイオン注入調整膜をマスクとして、半導体基板におけるゲート電極の側方の活性領域に不純物イオンを注入する第3の工程と、活性領域に対して熱処理を行なうことにより、注入された不純物イオンを熱拡散する第4の工程とを備え、第2の工程において、イオン注入調整膜を、不純物イオンがトンネル絶縁膜に注入されること防止でき、且つ、不純物イオンの半導体基板への散乱による拡散によって不純物イオンが活性領域における浮遊ゲート電極の下側部分の近傍に到達することができる膜厚に設定する。

【 0 0 2 1 】

本発明の不揮発性半導体記憶装置の製造方法によると、少なくとも浮遊ゲート電極の側面上に該浮遊ゲート電極と接して形成される絶縁膜からなるイオン注入調整膜を、不純物イオンのトンネル絶縁膜への注入を防止することができる膜厚に設定するため、イオン注入によるトンネル絶縁膜の損傷がない。さらに、注入された不純物イオンの半導体基板への散乱による拡散によって、不純物イオンが

活性領域における浮遊ゲート電極の下側部分の近傍に到達することができる膜厚にも設定するため、第4の工程における不純物イオンの熱拡散処理を短時間で済ませることができるようになる。その結果、高性能化且つ微細化されたCMOS回路を有する半導体装置との混載が可能となる。

## 【0022】

その上、不純物イオンの半導体基板への散乱による拡散によって不純物イオンが活性領域における浮遊ゲート電極の下側部分の近傍に到達する膜厚であるため、イオン注入時の加速エネルギーを比較的小さくできるので、素子の分離特性の低下をも抑制することができる。

## 【0023】

本発明の不揮発性半導体記憶装置の製造方法において、第4の工程を酸化雰囲気で行なうことが好ましい。

## 【0024】

本発明の不揮発性半導体記憶装置の製造方法において、イオン注入調整膜の膜厚が50nm以下であることが好ましい。

## 【0025】

本発明の不揮発性半導体記憶装置の製造方法において、イオン注入調整膜が酸素透過性を有する材料からなり、第4の工程が、活性領域の上部を酸化し且つイオン注入調整膜を透過した酸素により浮遊ゲート電極の一部を酸化する工程を含むことが好ましい。

## 【0026】

本発明の不揮発性半導体記憶装置の製造方法において、第4の工程が850℃以上の温度で行なうことが好ましい。

## 【0027】

本発明の不揮発性半導体記憶装置の製造方法において、第2の工程が、イオン注入調整膜を半導体基板の上にゲート電極を含む全面にわたって堆積する工程と、堆積したイオン注入調整膜に対して異方性エッチングを行なうことにより、活性領域を露出する工程とを含むことが好ましい。

## 【0028】

本発明の不揮発性半導体記憶装置の製造方法において、第2の工程が、イオン注入調整膜を熱酸化法により半導体基板の上にゲート電極を含む全面にわたって形成する工程と、形成したイオン注入調整膜に対して異方性エッチングを行なうことにより、活性領域の上面を露出する工程とを含むことが好ましい。

## 【0029】

本発明の不揮発性半導体記憶装置の製造方法において、第3の工程が、活性領域におけるゲート電極の一方の側方に対して行なう第1のイオン注入工程と、活性領域におけるゲート電極の他方の側方に対して行なう第2のイオン注入工程とを含むことが好ましい。

## 【0030】

この場合に、第1のイオン注入工程又は第2のイオン注入工程が、半導体基板の導電型と反対の導電型で且つ少なくとも2種類の不純物イオンを注入する工程を含むことが好ましい。

## 【0031】

また、この場合に、第1のイオン注入工程又は第2のイオン注入工程が、半導体基板の導電型と同一の導電型の不純物イオンと、半導体基板の導電型と反対の導電型の不純物イオンとを注入する工程を含むことが好ましい。

## 【0032】

本発明の不揮発性半導体記憶装置の製造方法において、第2の工程が、イオン注入調整膜におけるゲート電極の一方の側方部分をマスクして、他方の側方部分を露出する工程と、イオン注入調整膜における露出した他方の側方部分に対して異方性エッチングを行なう工程とを含むことが好ましい。

## 【0033】

この場合に、第2の工程が、異方性エッチングの後に、イオン注入調整膜の膜厚をエッチングにより調整する工程を含むことが好ましい。

## 【0034】

本発明の不揮発性半導体記憶装置の製造方法において、第1の工程が、制御ゲート電極の上に保護絶縁膜を形成する工程を含むことが好ましい。

## 【0035】

本発明の不揮発性半導体記憶装置の製造方法は、第4の工程の後に、ゲート電極の側面上にイオン注入調整膜を介して絶縁性サイドウォールスペーサを形成する第5の工程と、ゲート電極、イオン注入調整膜及び絶縁性サイドウォールスペーサをマスクとして、半導体基板の導電型と反対の導電型の不純物イオンを注入する第6の工程とをさらに備えていることが好ましい。

【0036】

【発明の実施の形態】

本願発明者らは、不揮発性半導体記憶装置におけるソース拡散層及びドレイン拡散層を形成する際の半導体基板への不純物イオンの注入によるトンネル絶縁膜への損傷を与えないようにしながら、不純物拡散用の熱処理時間を短縮できる方法を種々検討した結果、以下に示すような知見を得ている。

【0037】

すなわち、半導体基板上にトンネル絶縁膜、浮遊ゲート電極、容量絶縁膜及び制御ゲート電極を順次積層してゲート電極を形成した後、ゲート電極の側面上に、従来の絶縁性サイドウォールスペーサよりも膜厚が小さい絶縁膜からなるイオン注入調整膜を設けることにより、不純物拡散用の熱処理時間を短縮できることを見いだした。このイオン注入調整膜の基板面方向の膜厚を7.5nm以上且つ50nm以下とし、この範囲の膜厚を有するイオン注入調整膜であっても、トンネル絶縁膜が損傷を受けない程度の加速エネルギーを用いて半導体基板に不純物イオンを注入する。その後、熱処理、特に酸化性雰囲気による熱酸化処理を行なうことにより、たとえトンネル絶縁膜が損傷を受けたとしてもその損傷部分を回復させると共に、注入された不純物イオンをゲート電極の下側のチャネル領域にまで拡散する。

【0038】

さらに、イオン注入調整膜がトンネル絶縁膜に対する不純物イオンからのマスク効果を発揮するには、不純物イオンの注入もゲート電極の側面に平行であることが望ましく、従って、イオン注入調整膜のゲート電極の側面上部分も基板面に対して垂直であることが望ましい。しかしながら、実際には、プロセス上のばらつきによりゲート電極の側面が基板面に対して垂直とならない場合の方が一般的

であり、イオン注入調整膜のゲート電極の側面上部分も基板面に対して垂直となることは少ない。

【0039】

従って、イオン注入調整膜に入射した不純物イオンは、イオン注入調整膜の内部で散乱されることにより基板面に平行な方向にも拡散するため、イオン注入調整膜は、注入された不純物イオンが少なくとも浮遊ゲート電極に到達しない膜厚を有する必要がある。具体的には、イオン注入調整膜の膜厚は、該イオン注入調整膜を構成する絶縁膜に対する不純物イオンの静止位置の標準偏差 $\Delta R_p$ の2倍以上の値が必要である。

【0040】

一方、ソース拡散層及びドレイン拡散層を形成する活性領域上にイオン注入調整膜を設けなければ、従来の不揮発性半導体記憶装置の製造方法と同様に、不純物イオンの加速エネルギーは比較的に低エネルギーでよい。

【0041】

すなわち、半導体基板の内部にまで不純物イオンを導入するには、例えば、N導電型不純物イオンのうち質量が最も小さい磷(P)イオンの場合でも少なくとも5 keV以上の加速エネルギーが必要であり、その標準偏差 $\Delta R_p$ の2倍となる値は7.5 nmである。従って、イオン注入調整膜がトンネル絶縁膜のマスクとなり得るには、イオン注入調整膜の膜厚には少なくとも7.5 nmが必要となる。

【0042】

また、半導体基板に注入された不純物イオンも同様に、半導体基板の内部で散乱されることにより基板面に平行な方向にも拡散する。例えば、注入された不純物イオンの平均飛程 $R_p$ を50 nmとすると、磷イオンの場合には、加速エネルギーが40 keVのときの標準偏差 $\Delta R_p$ が16 nmとなる。砒素(As)イオンの場合には、加速エネルギーが80 keVのときの標準偏差 $\Delta R_p$ が10 nmとなる。また、アンチモン(Sb)イオンの場合には、加速エネルギーが120 keVのときの標準偏差 $\Delta R_p$ が8 nmとなる。

【0043】

従って、イオン注入調整膜の膜厚は、基板面に平行な方向の拡散と熱拡散とを合わせた値以下に設定すれば良い。

【 0 0 4 4 】

さらに、本発明の目的である熱履歴を低減することを考慮すると、イオン注入調整膜の膜厚は、注入された不純物イオンの基板面に平行な方向の拡散長以下であることが必要となる。

【 0 0 4 5 】

例えば、半導体基板にシリコン (S i) を用いる不揮発性半導体記憶装置において、ソース拡散層及びドレイン拡散層の不純物イオンの濃度ピークは、通常  $1 \times 10^{20} \text{ cm}^{-3}$  以上であり、半導体基板の不純物濃度は通常  $1 \times 10^{17} \text{ cm}^{-3}$  程度であることから、不純物イオンの濃度ピークの 1 0 0 0 分の 1 を基板面に平行な方向の拡散長と定義すると、不純物イオンの濃度ピークと半導体基板の不純物濃度との比の値が 1 0 0 0 分の 1 であるため、標準偏差  $\Delta R_p$  の約 3 倍がほぼ 1 0 0 0 分の 1 の濃度に相当する。このことから、最も拡散しやすいリンイオンを例に採ると、平均飛程  $R_p$  が 5 0 n m となる 4 0 k e V の加速エネルギーのときの標準偏差  $\Delta R_p$  が 1 6 n m であるので、イオン注入調整膜の膜厚は、その 3 倍である約 5 0 n m 以下とすれば良い。

【 0 0 4 6 】

さらに、加速エネルギーを小さくしても、注入された不純物イオンがトンネル絶縁膜に対して損傷を与える可能性があるため、熱処理を行なうことが好ましい。本発明に係るイオン注入調整膜は、酸素を容易に透過することができるため、トンネル絶縁膜の損傷部分を回復させることができる。一例として、イオン注入調整膜を低圧 C V D 法による酸化膜で形成した場合には、その膜厚を小さくすると酸素の透過量は増大し、例えば温度が 8 5 0 ° C 以上の、例えば 9 0 0 ° C 程度のドライ酸化雰囲気とすると、酸素は、膜厚が 5 0 n m の酸化膜を膜厚が 1 0 0 n m の場合の約 3 分の 1 の時間で透過する。

【 0 0 4 7 】

この知見から、注入された不純物イオンの拡散工程において、トンネル絶縁膜が損傷している場合にその損傷部分を回復させるために、不純物イオンの基板面

に平行な方向の拡散を酸化性雰囲気を用いた熱酸化処理により増速拡散を行なうことによって補い得る。例えばリンイオンの場合には、900℃の温度下の熱処理でさえも該リンイオンは15分程度で約50nmの距離を拡散するため、この熱酸化による増速拡散は、不純物イオンを不活性ガス雰囲気を用いる熱処理よりも短時間で拡散するので、より熱履歴を少なくすることができる。

【0048】

以上説明したように、本発明は、少なくとも浮遊ゲート電極の側面上に膜厚が7.5nm以上且つ50nm以下の絶縁性のイオン注入調整膜を設けることにより、ソース拡散層及びドレイン拡散層に注入する不純物イオンからトンネル絶縁膜をマスクすることができるので、トンネル絶縁膜に対する損傷をほぼ防止することができ、その上、注入された不純物イオンは半導体基板の内部での散乱によってチャネル領域の近傍にまで拡散する。さらに、トンネル絶縁膜の損傷部分の回復には、より短時間で完了する熱酸化法を採用することにより、熱履歴をさらに少なくできる上に、低加速エネルギーで不純物イオンの注入を行なえるので、素子分離特性の低下を抑制することができる。

【0049】

(第1の実施形態)

以下、本発明の第1の実施形態について図面を参照しながら説明する。

【0050】

図1(a)～(c)及び図2(a)、(b)は本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。

【0051】

まず、図1(a)に示すように、例えば、P型シリコンからなる半導体基板11にP型ウェル11aを形成し、続いて、トレンチ分離等の素子分離絶縁膜12を形成する。その後、半導体基板11上の素子形成領域上に、酸化シリコンからなるトンネル絶縁膜13、ポリシリコンからなる浮遊ゲート電極14、酸化シリコン又は窒化シリコンからなる容量絶縁膜15及び膜厚が例えば約300nmのポリシリコンからなる制御ゲート電極16を順次形成し、それぞれがトンネル絶縁膜13、浮遊ゲート電極14、容量絶縁膜15及び制御ゲート電極16からな



る複数のスタック型のゲート電極 1 7 を選択的に形成する。

【 0 0 5 2 】

次に、図 1 ( b ) に示すように、例えば低圧 C V D 法により、半導体基板 1 1 上に各ゲート電極 1 7 を含む全面にわたって、膜厚が 1 0 n m ~ 5 0 n m 程度のシリコン酸化膜を堆積し、その後、シリコン酸化膜に対して異方性のドライエッチングを行なうことにより、各ゲート電極 1 7 の側面上に酸化シリコンからなるイオン注入調整膜 1 8 を形成する。続いて、P 型ウエル 1 1 a の各ゲート電極 1 7 の側方に位置する活性領域のうちのソース形成領域、及び各ゲート電極 1 7 のソース形成領域側の側面上のイオン注入調整膜 1 8 を露出するように第 1 のレジストパターン 5 1 を形成し、形成した第 1 のレジストパターン 5 1 並びにゲート電極 1 7 及びイオン注入調整膜 1 8 の露出部分をマスクとして、P 型ウエル 1 1 a に N 型不純物イオンを注入することにより、第 1 の N 型注入層 2 0 A を形成する。ここでは、加速エネルギーが約 1 0 k e V でドーズ量が  $1 \times 10^{15} \text{ cm}^{-2}$  程度の注入条件で、砒素 ( A s ) イオンと磷 ( P ) イオンとをそれぞれ分けて注入する。公知のように、砒素イオンはソース電極のコンタクト抵抗を低減し、磷イオンは接合耐圧を高める働きをする。

【 0 0 5 3 】

次に、図 1 ( c ) に示すように、第 1 のレジストパターン 5 1 を除去した後、P 型ウエル 1 1 a の活性領域のうちのドレイン形成領域、及び各ゲート電極 1 7 のドレイン形成領域側の側面上のイオン注入調整膜 1 8 を露出するように第 2 のレジストパターン 5 2 を形成し、形成した第 2 のレジストパターン 5 2 並びにゲート電極 1 7 及びイオン注入調整膜 1 8 の露出部分をマスクとして、P 型ウエル 1 1 a に N 型不純物イオン及び P 型不純物イオンを順次注入する。具体的には、N 型不純物イオンとして、例えば加速エネルギーが 1 0 k e V 程度でドーズ量が  $2 \times 10^{14} \text{ cm}^{-2}$  程度の砒素イオンを用いる第 1 の注入工程と、加速エネルギーが 1 0 k e V 程度でドーズ量が  $1 \times 10^{14} \text{ cm}^{-2}$  程度の磷イオンを用いる第 2 の注入工程とにより第 2 の N 型注入層を形成し、P 型不純物イオンとして、例えば加速エネルギーが 1 0 k e V 程度でドーズ量が  $4 \times 10^{13} \text{ cm}^{-2}$  程度のホウ素 ( B ) イオンを用いる第 3 の注入工程により P 型注入層 2 2 A を形成する。なお、

第 1 ～ 第 3 の各注入工程の順序は任意である。

【 0 0 5 4 】

また、ソース形成領域に対するイオン注入をドレイン形成領域に対するイオン注入よりも先に行なったが、ドレイン形成領域に対するイオン注入を先に行なってもよい。

【 0 0 5 5 】

次に、図 2 ( a ) に示すように、第 2 のレジストパターン 5 2 を除去した後、第 1 の N 型注入層 2 0 A、第 2 の N 型注入層 2 1 A 及び P 型注入層 2 2 A を形成した半導体基板 1 1 に対して、例えば、温度が約 9 0 0 ℃ のドライ酸化雰囲気中で約 5 分間の熱酸化を行なうことにより、第 1 の N 型注入層 2 0 A、第 2 の N 型注入層 2 1 A 及び P 型注入層 2 2 A に含まれる各不純物イオンがそれぞれ増速拡散する。この増速拡散により、第 1 の N 型注入層 2 0 A 及び第 2 の N 型注入層 2 1 A の各端部が P 型ウエル 1 1 a における各ゲート電極 1 7 の下側部分に位置するチャネル領域にまで確実に到達して、第 1 の N 型注入層 2 0 A からソース拡散層 2 0 B が形成され、第 2 の N 型注入層 2 1 A からドレイン拡散層 2 1 B が形成される。また、P 型注入層 2 2 A から形成される P 型拡散層 2 2 B は、その不純物濃度が P 型ウエル 1 1 a の不純物濃度よりも大きいため、P 型拡散層 2 2 B とドレイン拡散層 2 1 B との P N 接合面のチャネル領域部分において、接合電位が大きくなるので、ホットエレクトロンの生成効率が向上する。

【 0 0 5 6 】

このときのドライ熱酸化によって、半導体基板 1 1 における活性領域の上部及び各ゲート電極 1 7 の上部にも熱酸化膜 2 5 が形成される。

【 0 0 5 7 】

次に、図 2 ( b ) に示すように、例えば、CVD 法により、半導体基板 1 1 上に各ゲート電極 1 7 を含む全面にわたって、膜厚が 1 0 0 n m ～ 2 0 0 n m 程度のシリコン酸化膜を堆積し、堆積したシリコン酸化膜に対して異方性のドライエッチングを行なうことにより、各ゲート電極 1 7 の側面上にイオン注入調整膜 1 8 を介して酸化シリコンからなる絶縁性サイドウォールスペーサ 2 3 を形成する。続いて、形成した絶縁性サイドウォールスペーサ 2 3、イオン注入調整膜 1 8 及

びゲート電極 1 7 をマスクとして、ソース拡散層 2 0 B 及びドレイン拡散層 2 1 B に対して、加速エネルギーが約 4 0 k e V でドーズ量が  $5 \times 10^{15} \text{ cm}^{-2}$  程度の注入条件で、砒素イオンを注入する。続いて、注入された砒素イオンが活性化する程度の熱処理を行なうことにより、ソース拡散層 2 0 B 及びドレイン拡散層 2 1 B の露出部分に  $\text{N}^+$  拡散層 2 4 を形成する。その後、図示はしないが、半導体基板 1 1 上に層間絶縁膜を形成し、形成した層間絶縁膜にソース拡散層 2 0 B 又はドレイン拡散層 2 1 B と電氣的に接続されるコンタクトを形成する。さらに、層間絶縁膜上にコンタクトと接続されるアルミニウム等からなる金属配線を形成する。

## 【 0 0 5 8 】

以上説明したように、第 1 の実施形態においては、浮遊ゲート電極 1 4 及び制御ゲート電極 1 6 の各側面は、膜厚が 1 0 n m ～ 5 0 n m 程度のイオン注入調整膜 1 8 によって覆われる一方、半導体基板 1 1 の活性領域は露出している。このため、1 0 k e V 程度と比較的小さい加速エネルギーであっても、注入される砒素イオン及びリンイオンは半導体基板 1 1 の所定位置にまで到達するが、イオン注入調整膜 1 8 を貫通することはほとんどなく、従来の方法と同様にトンネル絶縁膜 1 3 の損傷をほぼ防止できる。

## 【 0 0 5 9 】

このように、第 1 の実施形態に係るイオン注入調整膜 1 8 は、従来の絶縁性サイドウォールスペーサと異なり、膜厚が 1 0 n m ～ 5 0 n m 程度と小さいため、半導体基板 1 1 に注入された砒素イオン又はリンイオンは散乱されて、基板面に平行な方向にも拡散するので、P 型ウエル 1 1 a におけるゲート電極 1 7 の下側のチャネル領域にまで到達し得る。

## 【 0 0 6 0 】

また、このイオン注入調整膜 1 8 は、不純物イオンの半導体基板 1 1 への散乱による拡散によって不純物イオンが活性領域におけるゲート電極 1 7 の下側部分の近傍にまで到達し得る膜厚を有しているため、イオン注入時の加速エネルギーを比較的に小さくできるので、素子の分離特性の低下をも抑制することができる。

## 【 0 0 6 1 】

さらに、このイオン注入調整膜 1 8 は、温度が 9 0 0 ℃ 程度のドライ酸化雰囲気でも分間程度の熱酸化処理に対しても、酸素が十分に透過する膜厚を有しているため、たとえトンネル絶縁膜 1 3 に、複数回に及ぶイオン注入処理による損傷が生じたとしてもその損傷を回復することができる。その上、酸化雰囲気での熱処理を行なうため、半導体基板 1 1 中の砒素イオン又はリンイオンは、酸素によって増速拡散がさらに増速するので、イオン注入調整膜 1 8 の膜厚が小さいこととも併せて、砒素イオン又はリンイオンがゲート電極 1 7 の下側のチャネル領域にまでより短時間で到達するようになる。

## 【 0 0 6 2 】

このように熱拡散処理時間を従来よりも短縮できるため、CMOS 回路等を含むマイクロプロセッサとの混載も容易となる。

## 【 0 0 6 3 】

また、第 1 の実施形態は、従来例と異なり、チャネルホットエレクトロンによりデータの書き込みを行なうフラッシュメモリであって、ソース拡散層 2 0 B とドレイン拡散層 2 1 B との注入イオン種とドーズ量とを互いに異ならせた、いわゆる非対称注入としている。

## 【 0 0 6 4 】

なお、従来例において非対称注入を行なうと、ドーズ量が少なくて拡散しにくい砒素イオンが注入されてなるドレイン拡散層は高温で且つ長時間の熱処理を必要とするが、ドーズ量が多くて拡散しやすいリンイオンが注入されてなるソース拡散層はわずかな熱処理でも拡散してしまい、短チャネル効果が大きくなるため、一回の熱処理により形成することが困難である。

## 【 0 0 6 5 】

一方、第 1 の実施形態においては、イオン注入調整膜 1 8 の膜厚が小さいため、ドレイン拡散層 2 1 B の拡散量が少なくて済むので、ソース拡散層 2 0 B とドレイン拡散層 2 1 B とに対して非対称注入を行なったとしても、これらソース拡散層 2 0 B 及びドレイン拡散層 2 1 B に対する不純物濃度及び接合面の制御性が良好となる。

## 【0066】

さらに、第1の実施形態においては、膜厚が小さいイオン注入調整膜18をマスクとしてソース拡散層20B及びドレイン拡散層21Bを形成した後、膜厚が100nm～200nm程度の絶縁性サイドウォールスペーサ23をマスクとして、砒素イオンを40keV程度の加速エネルギーと $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で注入した後、注入した砒素イオンが活性化する程度の比較的弱い熱処理を行なって $\text{N}^+$  拡散層24を形成し、これにより、ソース拡散層20Bとドレイン拡散層21Bの低抵抗化を図っている。

## 【0067】

なお、第1の実施形態においては、不揮発性半導体記憶装置をチャネルホットエレクトロンによりデータ書き込みがなされることを想定しているが、ファウラ・ノルドハイム(FN)電流によりデータ書き込みがなされる不揮発性半導体記憶装置であってもよい。この場合は、ソース拡散層20B及びドレイン拡散層21Bを形成するためのイオン注入は、本実施形態とはイオン種やドーズ量が異なる。

## 【0068】

また、ソース拡散層20B及びドレイン拡散層21Bは、必ずしも非対称注入とする必要はなく、第1のレジストパターン51及び第2のレジストパターン52のいずれをも用いないで、各ゲート電極17及び各イオン注入調整膜18をマスクとした、いわゆる対称で且つ自己整合的な注入としてもよい。

## 【0069】

(第1の実施形態の一変形例)

以下、本発明の第1の実施形態の一変形例について図面を参照しながら説明する。

## 【0070】

図3(a)～(c)は第1の実施形態の一変形例に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。図3(a)～(c)において、図1(a)～(c)に示す構成部材と同一の構成部材には同一の符号を付している。

## 【0071】

まず、図1(a)に示すように、半導体基板11にP型ウエル11a及び素子分離絶縁膜12を順次形成する。続いて、半導体基板11上に全面にわたって、酸化シリコンからなるトンネル絶縁膜形成膜13A、ポリシリコンからなる浮遊ゲート電極形成膜14A、酸化シリコン又は窒化シリコンからなる容量絶縁膜形成膜15A、膜厚が約70nmのポリシリコンからなる制御ゲート電極形成膜16Aを順次堆積する。さらに、例えばCVD法により、制御ゲート電極形成膜16Aの上に膜厚が150nm程度の酸化シリコン又は窒化シリコン等からなる保護絶縁膜26Aを堆積する。

## 【0072】

次に、図3(b)に示すように、保護絶縁膜26Aに対して選択的にエッチングを行なうことにより、保護絶縁膜26Aからゲート電極パターンを持つハードマスク26を形成する。続いて、形成したハードマスク26を用いた異方性のドライエッチングを行なって、制御ゲート電極形成膜16Aから制御ゲート電極16を、容量絶縁膜形成膜15Aから容量絶縁膜15を、浮遊ゲート電極形成膜14Aから浮遊ゲート電極14を、またトンネル絶縁膜形成膜13Aからトンネル絶縁膜13を形成して、それぞれがトンネル絶縁膜13、浮遊ゲート電極14、容量絶縁膜15及び制御ゲート電極16からなる複数のスタック型のゲート電極17を形成する。

## 【0073】

次に、図3(c)に示すように、CVD法により、半導体基板11上に各ゲート電極17を含む全面にわたって、膜厚が10nm～50nm程度のシリコン酸化膜を堆積し、その後、シリコン酸化膜に対して異方性のドライエッチングを行なうことにより、各ゲート電極17の側面上に酸化シリコンからなるイオン注入調整膜18を形成する。

## 【0074】

この後は、第1の実施形態と同様に、ソース形成領域及びドレイン形成領域に対して不純物イオンの非対称注入を行ない、ドライ酸化雰囲気による熱酸化処理を行なって、ソース拡散層及びドレイン拡散層を形成する。

## 【 0 0 7 5 】

このように、本変形例によると、制御ゲート電極 1 6 の膜厚が第 1 の実施形態のそれよりも小さい場合であっても、制御ゲート電極 1 6 の上に保護絶縁膜 2 6 A を設けているため、容量絶縁膜 1 5 の端面をイオン注入調整膜 1 8 によって十分に覆うことができるので、イオン注入調整膜 1 8 の形成時に異方性エッチングがオーバーエッチングになったとしても、容量絶縁膜 1 5 へのイオン注入による損傷を防ぐことができる。

## 【 0 0 7 6 】

(第 2 の実施形態)

以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

## 【 0 0 7 7 】

図 4 ( a ) ~ ( c ) 及び図 5 は本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の製造方法の工程順の断面構成を示している。ここでも、図 4 ( a ) ~ ( c ) 及び図 5 において、図 1 ( a ) ~ ( c ) 及び図 2 ( a ) 、 ( b ) に示す構成部材と同一の構成部材には同一の符号を付している。

## 【 0 0 7 8 】

まず、図 4 ( a ) に示すように、P 型シリコンからなる半導体基板 1 1 に P 型ウェル 1 1 a を形成し、続いて、トレンチ分離等の素子分離絶縁膜 1 2 を形成する。その後、半導体基板 1 1 上の素子形成領域上に、酸化シリコンからなるトンネル絶縁膜 1 3 、ポリシリコンからなる浮遊ゲート電極 1 4 、酸化シリコン又は窒化シリコンからなる容量絶縁膜 1 5 及び膜厚が約 3 0 0 n m のポリシリコンからなる制御ゲート電極 1 6 を順次形成し、それぞれがトンネル絶縁膜 1 3 、浮遊ゲート電極 1 4 、容量絶縁膜 1 5 及び制御ゲート電極 1 6 からなる複数のスタック型のゲート電極 1 7 を選択的に形成する。続いて、例えば低圧 C V D 法により、半導体基板 1 1 上に各ゲート電極 1 7 を含む全面にわたって膜厚が 1 0 n m ~ 5 0 n m 程度のシリコン酸化膜を堆積して、イオン注入調整膜形成膜 1 8 A を堆積する。

## 【 0 0 7 9 】

次に、図 4 ( b ) に示すように、イオン注入調整膜形成膜 1 8 A におけるソー

ス形成領域部分及び各ゲート電極 1 7 のソース形成領域側部分を露出する第 1 のレジストパターン 5 1 を形成する。続いて、形成した第 1 のレジストパターン 5 1 をマスクとしてイオン注入調整膜形成膜 1 8 A に対して異方性のドライエッチングを行なうことにより、ゲート電極 1 7 の一方の側面上にイオン注入調整膜形成膜 1 8 A からイオン注入調整膜 1 8 を形成する。その後、第 1 のレジストパターン 5 1 並びにゲート電極 1 7 及びイオン注入調整膜 1 8 の露出部分をマスクとして、P 型ウェル 1 1 a に N 型不純物イオンを注入することにより、第 1 の N 型注入層 2 0 A を形成する。ここでは、加速エネルギーが約 1 0 k e V でドーズ量が  $1 \times 10^{15} \text{ cm}^{-2}$  程度の注入条件で、砒素イオンとリンイオンとをそれぞれ分けて注入する。

## 【 0 0 8 0 】

次に、図 4 ( c ) に示すように、第 1 のレジストパターン 5 1 を除去した後、イオン注入調整膜形成膜 1 8 A の膜厚を例えばフッ酸によるウェットエッチングによって 2 n m 程度小さくして膜厚を最適化する。続いて、膜厚が最適化されたイオン注入調整膜形成膜 1 8 A におけるドレイン形成領域部分及び各ゲート電極 1 7 のドレイン形成領域側部分を露出する第 2 のレジストパターン 5 2 を形成し、形成した第 2 のレジストパターン 5 1 をマスクとしてイオン注入調整膜形成膜 1 8 A に対して異方性のドライエッチングを行なって、ゲート電極 1 7 の他方の側面上にイオン注入調整膜形成膜 1 8 A からイオン注入調整膜 1 8 a を形成する。その後、第 2 のレジストパターン 5 2 並びにゲート電極 1 7 及びイオン注入調整膜 1 8 a の露出部分をマスクとして、P 型ウェル 1 1 a に N 型不純物イオン及び P 型不純物イオンを順次注入する。すなわち、N 型不純物イオンとして、例えば加速エネルギーが 1 0 k e V 程度でドーズ量が  $2 \times 10^{14} \text{ cm}^{-2}$  程度の砒素イオンを用いる第 1 の注入工程と、加速エネルギーが 1 0 k e V 程度でドーズ量が  $1 \times 10^{14} \text{ cm}^{-2}$  程度のリンイオンを用いる第 2 の注入工程とにより第 2 の N 型注入層を形成し、P 型不純物イオンとして、例えば加速エネルギーが 1 0 k e V 程度でドーズ量が  $4 \times 10^{13} \text{ cm}^{-2}$  程度のホウ素イオンを用いる第 3 の注入工程により P 型注入層 2 2 A を形成する。なお、ここでも、第 1 ～ 第 3 の各注入工程の順序は任意である。また、ソース形成領域に対するイオン注入とドレイン形成領



域に対するイオン注入との順序は問われない。

【 0 0 8 1 】

また、ドレイン形成領域へのイオン注入時のマスクの一部となるイオン注入調整膜 1 8 a を得るためのウエットエッチングは、必ずしも必要ではないが、ソース形成領域に対するイオン注入時のマスクの一部となるイオン注入調整膜 1 8 の膜厚と変更したい場合には有効である。なお、ドレイン形成領域に対するイオン注入を先に行なえば、ソース形成領域側のイオン注入調整膜 1 8 の膜厚をドレイン形成領域側のイオン注入調整膜 1 8 a の膜厚よりも小さくすることができるようになる。

【 0 0 8 2 】

次に、図 5 に示すように、第 2 のレジストパターン 5 2 を除去した後、第 1 の N 型注入層 2 0 A、第 2 の N 型注入層 2 1 A 及び P 型注入層 2 2 A を形成した半導体基板 1 1 に対して、例えば、温度が約 9 0 0 ℃ のドライ酸化雰囲気中で約 5 分間の熱酸化を行なうことにより、第 1 の N 型注入層 2 0 A、第 2 の N 型注入層 2 1 A 及び P 型注入層 2 2 A に含まれる各不純物イオンがそれぞれ増速拡散し、その結果、第 1 の N 型注入層 2 0 A 及び第 2 の N 型注入層 2 1 A の各端部が P 型ウェル 1 1 a における各ゲート電極 1 7 の下側部分に位置するチャンネル領域にまで到達して、第 1 の N 型注入層 2 0 A からソース拡散層 2 0 B が形成され、第 2 の N 型注入層 2 1 A からドレイン拡散層 2 1 B が形成される。

【 0 0 8 3 】

この後は、第 1 の実施形態と同様に、各ゲート電極 1 7 の側面上にイオン注入調整膜 1 8、1 8 a を介して酸化シリコンからなる絶縁性サイドウォールスペーサを形成し、形成した絶縁性サイドウォールスペーサ、イオン注入調整膜 1 8、1 8 a 及びゲート電極 1 7 をマスクとして、ソース拡散層 2 0 B 及びドレイン拡散層 2 1 B に対して、砒素イオンを注入する。その後、注入された砒素イオンが活性化する程度の熱処理を行なうことにより、ソース拡散層 2 0 B 及びドレイン拡散層 2 1 B の露出部分に  $N^+$  拡散層を形成する。

【 0 0 8 4 】

以上説明したように、第 2 の実施形態においては、イオン注入調整膜 1 8 に対

する異方性エッチングを行なう際に、素子分離絶縁膜12等の領域がレジスト膜によりマスクされるため、素子分離絶縁膜12がエッチャントにさらされることなく、マスク工程の工程数が第1の実施形態と同一でありながら、素子分離特性の低下を招くことがなくなる。

#### 【0085】

なお、第2の実施形態においては、図4(b)及び図4(c)に示すように、ソース形成領域側とドレイン形成領域側の両方の領域でイオン注入調整膜形成膜18Aに対する異方性エッチングを行なったが、異方性エッチングはソース形成領域側及びドレイン形成領域側のいずれか一方に対してのみ行なってもよい。

また、第1及び第2の実施形態において、ゲート電極17はスタック型に限られず、制御ゲート電極と浮遊ゲート電極とが半導体基板上にトンネル絶縁膜を介して並置され、隣接する側面同士の間容量絶縁膜を挟んで構成される、いわゆるスプリット型のゲート電極であってもよい。

#### 【0086】

また、イオン注入調整膜18に低圧CVD法による酸化シリコンを用いたが、熱酸化法を用いてもよい。但し、熱酸化法による酸化シリコンは、膜質が緻密であるため、酸素の透過性が若干低下する。また、イオン注入調整膜18は、酸化シリコンの変わりに窒化シリコンを用いてもよい。

#### 【0087】

#### 【発明の効果】

本発明に係る不揮発性半導体記憶装置の製造方法によると、トンネル絶縁膜を有するゲート電極を形成した後のソース拡散層及びドレイン拡散層を形成する際に熱履歴を減らすことができる。その上、ゲート電極をマスクとする不純物イオンの注入によるトンネル絶縁膜の損傷の抑制とその回復とを図ることができるので、データ保持特性等の信頼性を向上させることができる。

#### 【図面の簡単な説明】

#### 【図1】

(a)～(c)は本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 2】

(a) 及び (b) は本発明の第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 3】

(a) ～ (c) は本発明の第 1 の実施形態の一変形例に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 4】

(a) ～ (c) は本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 5】

本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 6】

(a) ～ (c) は従来の不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

【図 7】

従来の係る不揮発性半導体記憶装置の製造方法を示す工程順の構成断面図である。

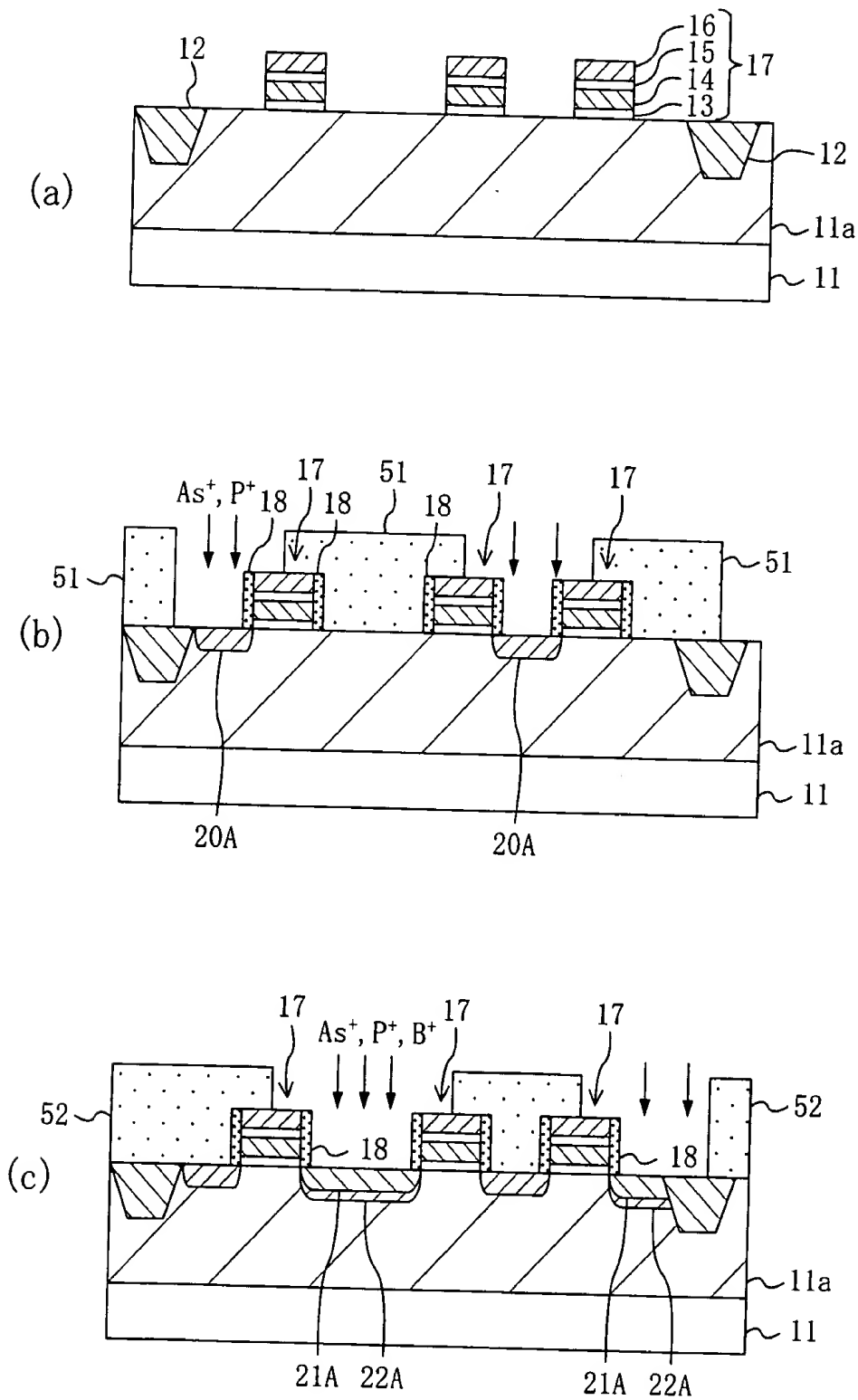
【符号の説明】

- 1 1 半導体基板
- 1 1 a P型ウェル
- 1 2 素子分離絶縁膜
- 1 3 トンネル絶縁膜
- 1 3 A トンネル絶縁膜形成膜
- 1 4 浮遊ゲート電極
- 1 4 A 浮遊ゲート電極形成膜
- 1 5 容量絶縁膜
- 1 5 A 容量絶縁膜形成膜
- 1 6 制御ゲート電極

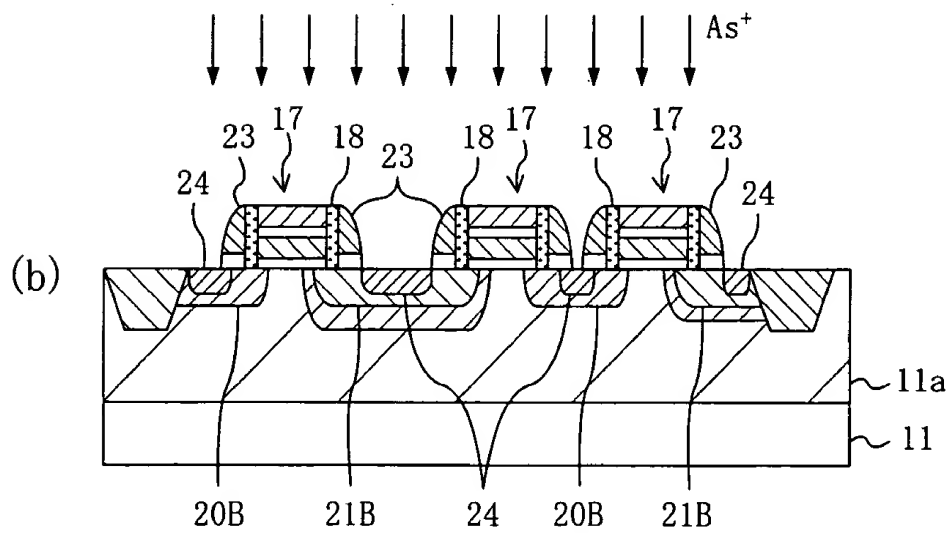
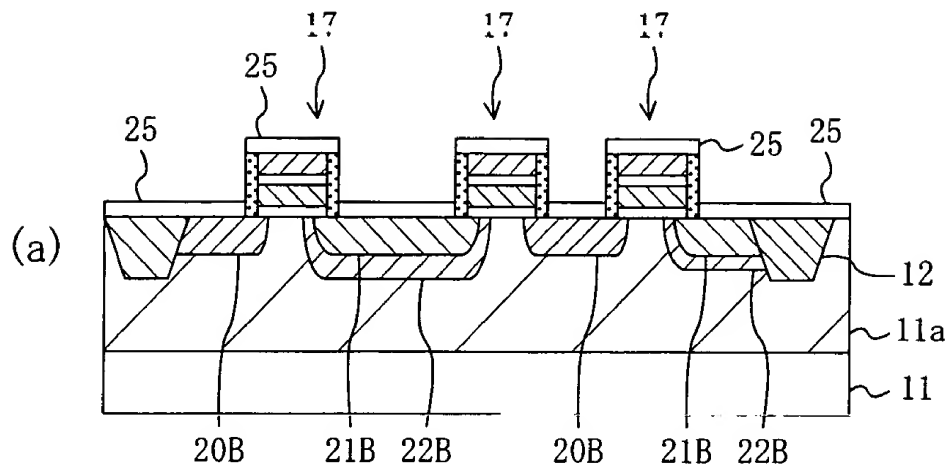
- 1 6 A 制御ゲート電極形成膜
- 1 7 ゲート電極
- 1 8 イオン注入調整膜
- 1 8 A イオン注入調整膜形成膜
- 1 8 a イオン注入調整膜
- 2 0 A 第 1 の N 型注入層
- 2 0 B ソース拡散層
- 2 1 A 第 2 の N 型注入層
- 2 1 B ドレイン拡散層
- 2 2 A P 型注入層
- 2 2 B P 型拡散層
- 2 3 絶縁性サイドウォールスペーサ
- 2 4  $N^+$  拡散層
- 2 5 熱酸化膜
- 2 6 A 保護絶縁膜
- 2 6 ハードマスク
- 5 1 第 1 のレジストパターン
- 5 2 第 2 のレジストパターン

【書類名】 図面

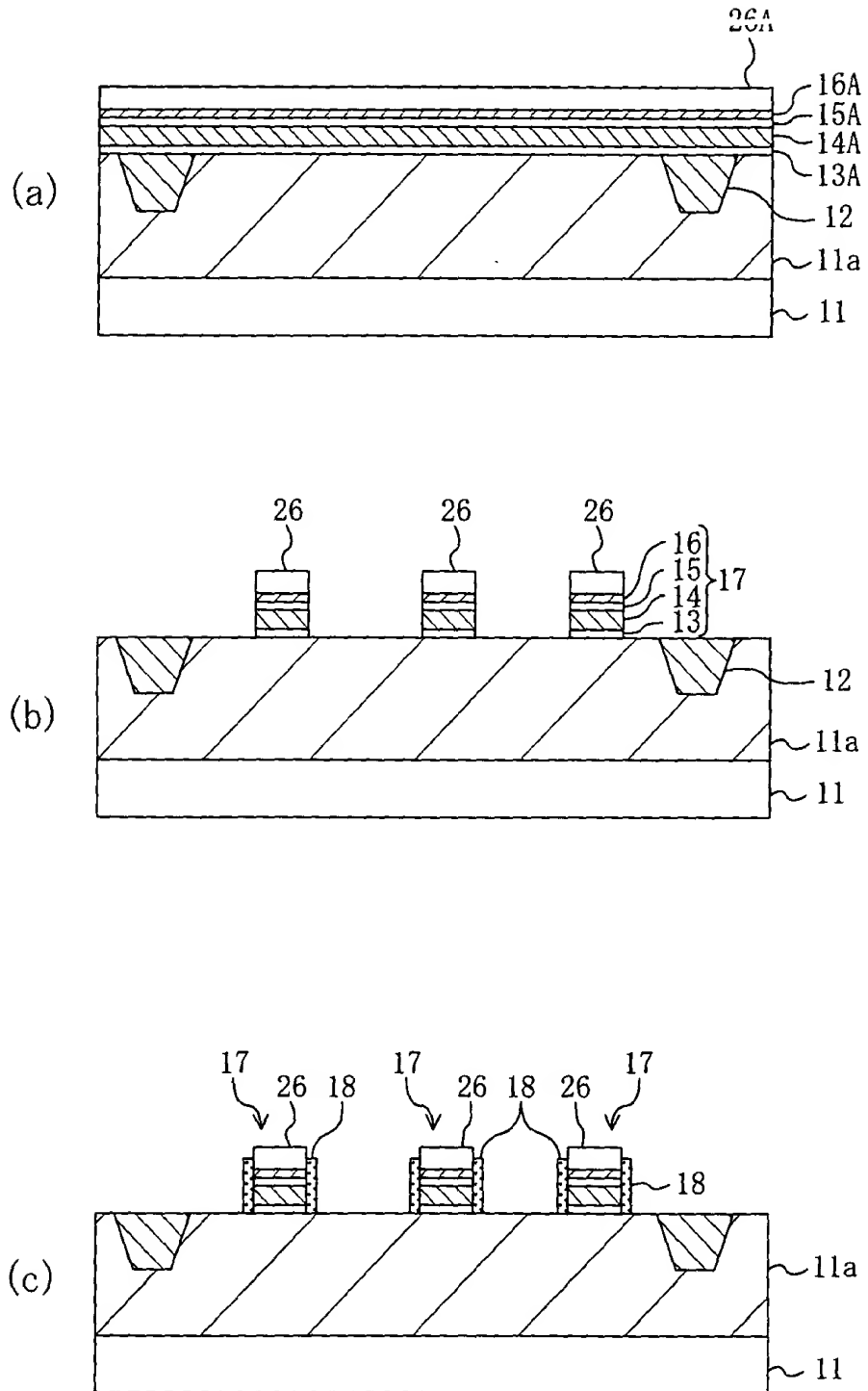
【図1】



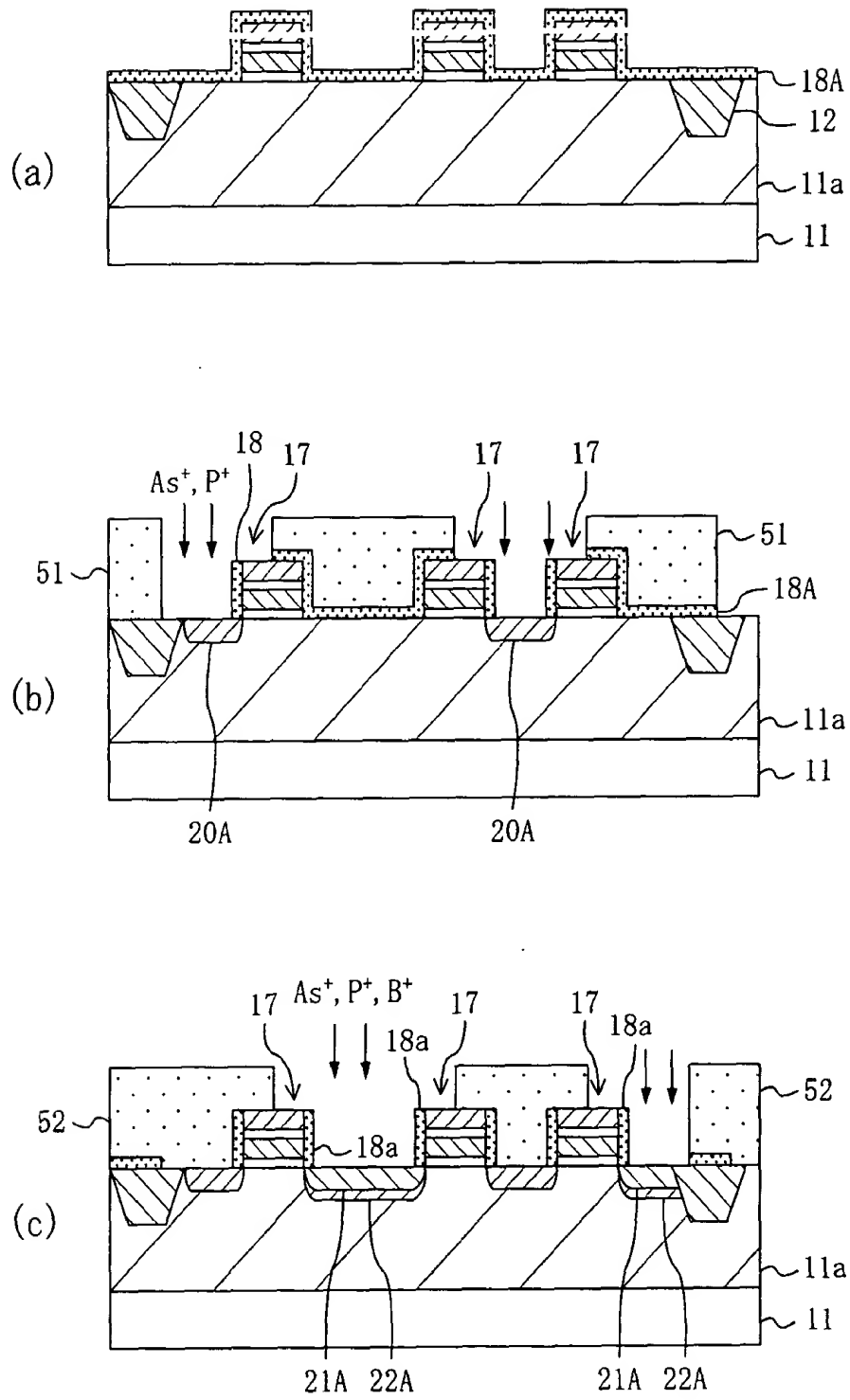
【図2】



【図3】

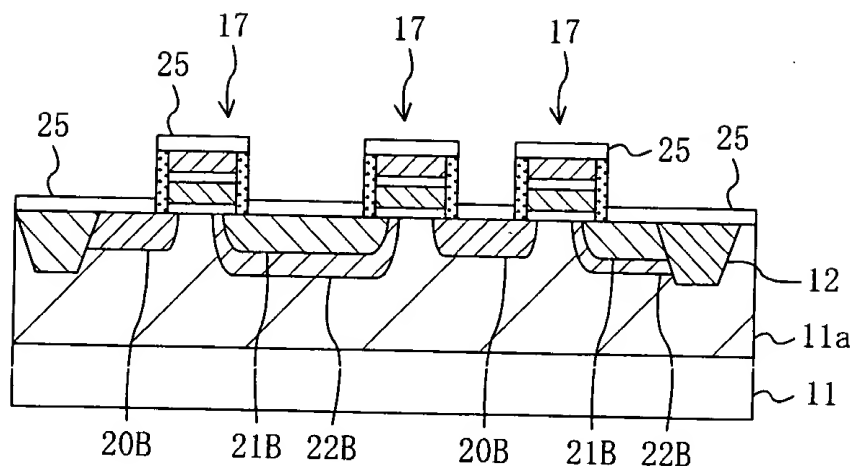


【図4】

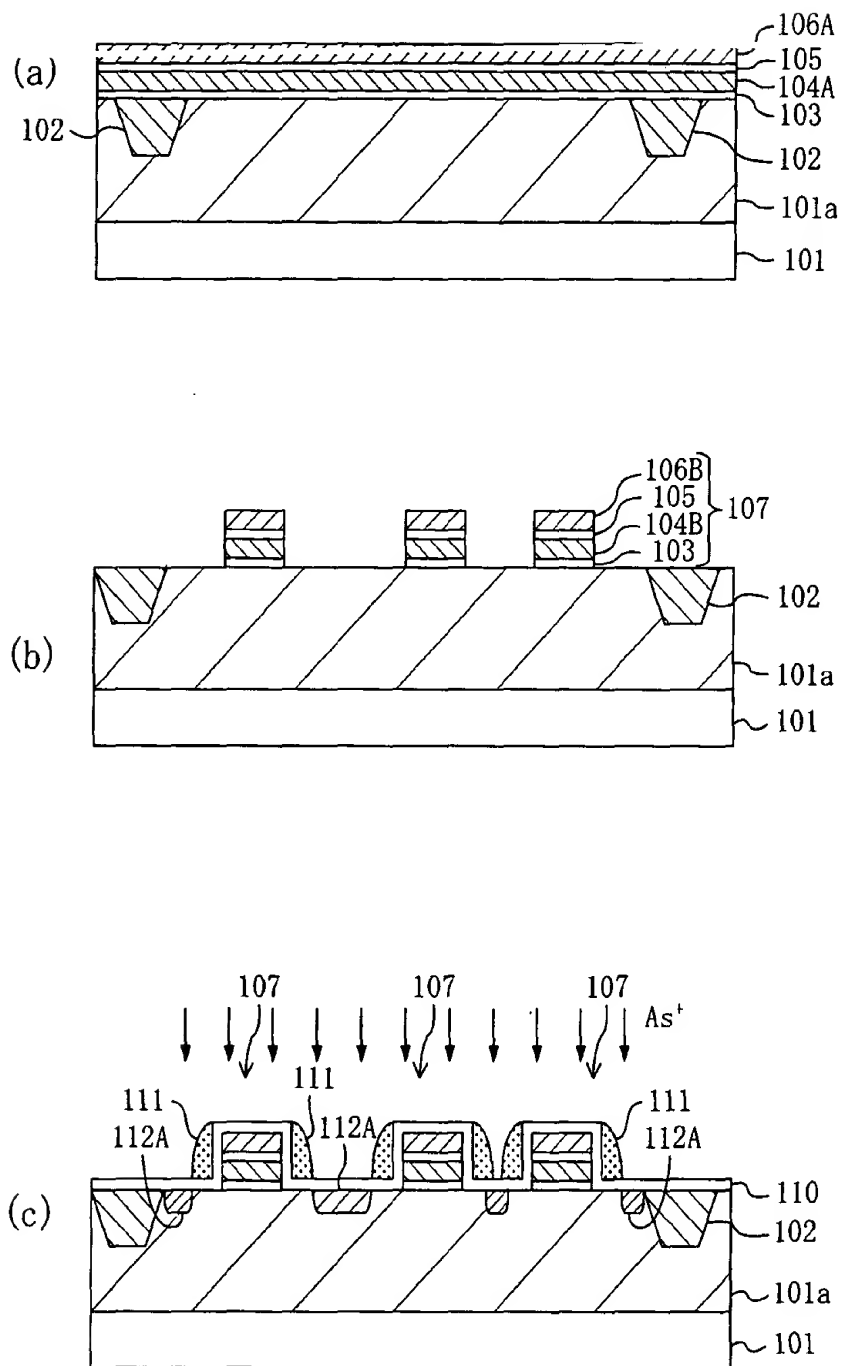




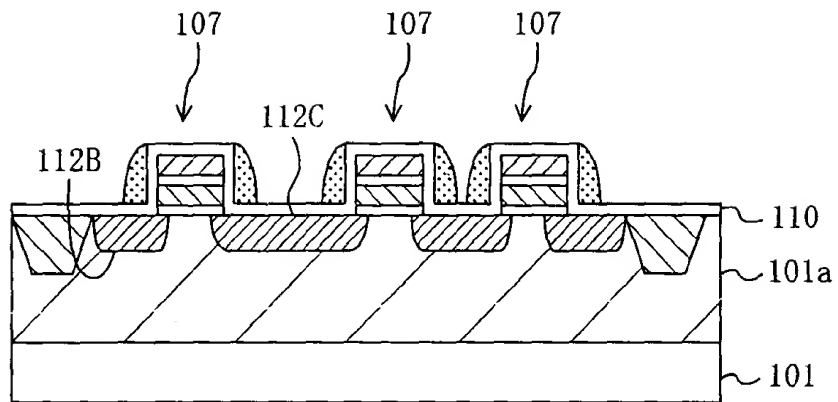
【図 5】



【図6】



【図 7】



【書類名】 要約書

【要約】

【課題】 ゲート電極をマスクとした不純物イオンの注入によるトンネル絶縁膜への損傷を防止しながら、不純物拡散工程における長時間にわたる熱処理を不要にできるようにする。

【解決手段】 半導体基板 1 1 の全面に膜厚が 1 0 ～ 5 0 n m のシリコン酸化膜を堆積し、異方性エッチングを行なうことにより、ゲート電極 1 7 の側面上に酸化シリコンからなるイオン注入調整膜 1 8 を形成する。続いて、P 型ウエル 1 1 a のゲート電極 1 7 の側方のソース形成領域及び各ゲート電極 1 7 のソース形成領域側の側面上のイオン注入調整膜 1 8 を露出するように第 1 のレジストパターン 5 1 を形成し、該第 1 のレジストパターン 5 1 並びにゲート電極 1 7 及びイオン注入調整膜 1 8 の露出部分をマスクとして、P 型ウエル 1 1 a に N 型不純物イオンを注入して、第 1 の N 型注入層 2 0 A を形成する。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成13年 4月26日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2001- 32573

【承継人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代表者】 中村 ▲邦▼夫

【提出物件の目録】

【物件名】 権利の承継を証明する書面 1

【援用の表示】 平成13年 4月16日付提出の特許番号第31505  
60号の一般承継による特許権の移転登録申請書に添付  
した登記簿謄本を援用する。

出 願 人 履 歴 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日  
[変更理由] 住所変更  
住 所 大阪府高槻市幸町1番1号  
氏 名 松下電子工業株式会社

特2001-032573

出 願 人 履 歴 情 報

識別番号 {000005821}

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社